

特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）
〔PCT36条及びPCT規則70〕

REC'D 09 FEB 2006

WIPO

PCT

出願人又は代理人 の書類記号 380300419W01	今後の手続きについては、様式PCT/ IPEA/ 416を参照すること。	
国際出願番号 PCT/JP2004/017910	国際出願日 (日.月.年) 02.12.2004	優先日 (日.月.年) 24.12.2003
国際特許分類 (IPC) Int.Cl. G05F3/30(2006.01), H01L21/822(2006.01), H01L27/04(2006.01), H03F3/34(2006.01), H03K19/00(2006.01)		
出願人 (氏名又は名称) 株式会社ルネサステクノロジ		

<p>1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第57条（PCT36条）の規定に従い送付する。</p> <p>2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。</p> <p>3. この報告には次の附属物件も添付されている。</p> <p>a. <input checked="" type="checkbox"/> 附属書類は全部で 4 ページである。</p> <p><input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙（PCT規則70.16及び実施細則第607号参照）</p> <p><input type="checkbox"/> 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙</p> <p>b. <input type="checkbox"/> 電子媒体は全部で (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。 (実施細則第802号参照)</p>	
<p>4. この国際予備審査報告は、次の内容を含む。</p> <p><input checked="" type="checkbox"/> 第I欄 国際予備審査報告の基礎</p> <p><input type="checkbox"/> 第II欄 優先権</p> <p><input type="checkbox"/> 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成</p> <p><input type="checkbox"/> 第IV欄 発明の単一性の欠如</p> <p><input checked="" type="checkbox"/> 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明</p> <p><input type="checkbox"/> 第VI欄 ある種の引用文献</p> <p><input type="checkbox"/> 第VII欄 国際出願の不備</p> <p><input type="checkbox"/> 第VIII欄 国際出願に対する意見</p>	

国際予備審査の請求書を受理した日 10.12.2004	国際予備審査報告を作成した日 26.01.2006	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 川端 修	3V 8718
電話番号 03-3581-1101 内線 3358		

様式PCT/ IPEA/ 409 (表紙) (2005年4月)

第I欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
☐ 出願時の言語から次の目的のための言語である _____ 語に翻訳された、この国際出願の翻訳文
- ☐ 国際調査 (PCT規則12.3(a)及び23.1(b))
☐ 国際公開 (PCT規則12.4(a))
☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類☒ 明細書

第 1-18 _____ ページ、出願時に提出されたもの
第 _____ ページ*、 _____ 付かで国際予備審査機関が受理したもの
第 _____ ページ*、 _____ 付かで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2、3、6-14 _____ 項、出願時に提出されたもの
第 _____ 項*、PCT19条の規定に基づき補正されたもの
第 1、5 _____ 項*、12.01.2006 付かで国際予備審査機関が受理したもの
第 _____ 項*、 _____ 付かで国際予備審査機関が受理したもの

☒ 図面

第 1-24 _____ 図、出願時に提出されたもの
第 _____ ページ/図*、 _____ 付かで国際予備審査機関が受理したもの
第 _____ ページ/図*、 _____ 付かで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☒ 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 4 _____ 項
☐ 図面 第 _____ ページ/図
☐ 配列表 (具体的に記載すること) _____
☐ 配列表に関連するテーブル (具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 第 _____ ページ/図
☐ 配列表 (具体的に記載すること) _____
☐ 配列表に関連するテーブル (具体的に記載すること) _____

* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

第Ⅴ欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 1-3、5-14	有
	請求の範囲	無
進歩性 (IS)	請求の範囲 1-3、5-14	有
	請求の範囲	無
産業上の利用可能性 (IA)	請求の範囲 1-3、5-14	有
	請求の範囲	無

2. 文献及び説明 (PCT規則 70.7)

以下の文献 1-3 は、国際調査報告で引用された文献である。

文献 1 : J P 58-109912 A
文献 2 : J P 11-143563 A
文献 3 : J P 2003-157119 A

2つのトランジスタと抵抗、差動増幅器とからなる基準電圧生成回路は、文献1の図1、文献2の図6、文献3の図3に示されるように周知である。

しかしながら、文献1-3には、本願請求項1の発明の差動増幅器をCMOS構成とし、電圧発生回路を構成する第1トランジスタと第2トランジスタとが、上記差動増幅器を構成するCMOS回路のプロセスで形成される半導体領域を利用して構成される点については、開示も示唆もない。

したがって、本願請求項1の発明は、新規性、進歩性を有する。

また、本願請求項5の発明も同様であり、本願請求項1又は5を引用する他の残りの請求項の発明が新規性、進歩性を有することは、明らかである。

そして、本願請求項1-3、5-14の発明に産業上の利用可能性があることは、明らかである。

請求の範囲

- [1] (補正後) エミッタに第1電流が流れるようにされた第1トランジスタと、
上記第1トランジスタのエミッタの電流密度よりも大きな電流密度となるような第2電流がエミッタに流れるようにされた第2トランジスタと、
上記第1トランジスタのエミッタと第2トランジスタのエミッタ間に設けられた第1抵抗と、
上記第2トランジスタのエミッタと回路の接地電位との間に設けられた第2抵抗と、
上記第1トランジスタのコレクタと電源電圧との間に設けられた第3抵抗と、
上記第2トランジスタのコレクタと上記電源電圧との間に設けられた第4抵抗と、
上記第1トランジスタのコレクタ電圧と上記第2トランジスタのコレクタ電圧とを受けて出力電圧を形成するとともに、かかる出力電圧を上記第1トランジスタと第2トランジスタのベースに共通に供給するCMOS構成の差動増幅回路とを備え、
上記第1トランジスタと第2トランジスタとは、上記差動増幅回路を構成するCMOS回路のプロセスで形成される半導体領域を利用して構成されることを特徴とする電圧発生回路。
- [2] 請求項1において、
上記第3抵抗と第4抵抗とは、同じ抵抗値を持つように形成されてなることを特徴とする電圧発生回路。
- [3] 請求項2において、
上記第1トランジスタのエミッタ面積は、上記第2トランジスタのエミッタ面積よりも大きく形成されてなることを特徴とする電圧発生回路。
- [4] (削除)
- [5] (補正後) エミッタに第1電流が流れるようにされた第1トランジスタと、
上記第1トランジスタのエミッタの電流密度よりも大きな電流密度となるような第2電流がエミッタに流れるようにされた第2トランジスタと、
上記第1トランジスタのエミッタと第2トランジスタのエミッタ間に設けられた第1抵抗と、
上記第2トランジスタのエミッタと外部端子から供給された回路の接地電位との間に

設けられた第2抵抗と、

上記第1トランジスタのコレクタと外部端子から供給された電源電圧との間に設けられた第3抵抗と、

上記第2トランジスタのコレクタと上記電源電圧との間に設けられた第4抵抗と、

上記第1トランジスタのコレクタ電圧と上記第2トランジスタのコレクタ電圧とを受けて出力電圧を形成するとともに、かかる出力電圧を上記第1トランジスタと第2トランジスタのベースに共通に供給するCMOS構成の差動増幅回路とを含み、

上記第1トランジスタと第2トランジスタとは、上記差動増幅回路を構成するCMOS回路のプロセスで形成される半導体領域を利用して構成される基準電圧発生回路を備えてなることを特徴とする半導体集積回路装置。

[6] 請求項5において、

上記半導体集積回路装置は、第1導電型の半導体基板に形成された第2導電型ウェル領域及び第1導電型ウェル領域と、上記第2導電型領域に形成された第1導電型MOSFETと、上記第1導電型ウェル領域に形成された第2導電型MOSFETとからなるCMOS回路を備え、

基準電圧発生回路を構成する上記第1トランジスタと第2トランジスタは、上記CMOS回路を構成する第2導電型MOSFETのソース、ドレイン拡散層を形成する工程で形成された拡散層をコレクタ及びエミッタとし、上記コレクタとエミッタとしての拡散層が形成される第1導電型ウェル領域をベースとして動作する横型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

[7] 請求項5において、

上記半導体集積回路装置は、第1導電型の半導体基板に形成された第2導電型ウェル領域及び第1導電型ウェル領域と、上記第2導電型ウェル領域に形成された第1導電型MOSFETと、上記第1導電型領域に形成された第2導電型MOSFETと、上記第2導電型MOSFETが形成された第1導電型ウェル領域を上記第1導電型の半導体基板から電氣的に分離するための深い深さの第2導電型ウェル領域とからなるCMOS回路を備え、

上記第1トランジスタと第2トランジスタは、上記CMOS回路を構成する第1導電型MOSFETのソース、ドレイン拡散層を形成する工程で形成された第2導電型拡散層をエミッタとし、上記エミッタを構成する第2導電型拡散層が形成された第1導電型ウェル領域をベースとし、上記ベースを構成する第1導電型ウェル領域を上記第1導電型の半導体基板から電気的に分離するために設けられた深い深さの第2導電型ウェル領域をコレクタとして用いる縦型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

[8] 請求項5において、

上記半導体集積回路装置は、第2導電型の半導体基板に形成された第2導電型ウェル領域及び第1導電型ウェル領域と、上記第2導電型領域に形成された第1導電型MOSFETと、上記第1導電型ウェル領域に形成された第2導電型MOSFETとからなるCMOS回路を備え、

基準電圧発生回路を構成する上記第1トランジスタと第2トランジスタは、上記CMOS回路を構成する第2導電型MOSFETのソース、ドレイン拡散層を形成する工程で形成された拡散層をコレクタ及びエミッタとし、上記コレクタとエミッタとしての拡散層が形成される第1導電型ウェル領域をベースとして動作する横型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

[9] 請求項6ないし8のいずれかにおいて、

上記第1導電型はp型であり、上記第2導電型はn型であり、

上記外部端子から供給された電源電圧は正の電源電圧であることを特徴とする半導体集積回路装置。

[10] 請求項9において、

上記第2トランジスタは、1つのトランジスタから構成され、上記第1トランジスタは、上記第2トランジスタに対応した単位トランジスタを複数個並列接続して構成されるものであることを特徴とする半導体集積回路装置。

[11] 請求項10において、

第1トランジスタは、複数個からなる上記単位トランジスタが同じ深い深さのウェル

領域上に形成され、

上記第2トランジスタは、上記第1トランジスタと同じ構成に形成された複数個からなる単位トランジスタのうちの1つが用いられるものであることを特徴とする半導体集積回路装置。

[12] 請求項11において、

上記基準電圧発生回路で形成された基準電圧を受けて上記外部端子から供給された電源電圧とは異なる内部電圧を発生させる電源回路と、

上記電源回路により動作させられる内部回路と、

上記外部端子から供給された電源電圧を受けて動作し、外部端子から供給された入力信号を受けてレベル変換して内部回路に伝える入力回路と、

上記外部端子から供給された電源電圧を受けて動作し、内部回路で形成された信号を受けてレベル変換して上記外部端子から出力させるべき出力信号を形成する出力回路とを更に備え、

上記差動増幅回路は、上記外部端子から供給された電源電圧を受けて動作する入力回路及び出力回路を構成するMOSFETと同じプロセスにより形成されたPチャネルMOSFET及びNチャネルMOSFETにより構成されるものであることを特徴とする半導体集積回路装置。

[13] 請求項11において、

上記内部電圧は、上記外部端子から供給された電源電圧を降圧したものであり、

上記内部回路は、そのCMOSプロセスの最小加工寸法で形成されるものであることを特徴とする半導体集積回路装置。

[14] 請求項11において、

上記電源回路は、上記基準電圧を用いた形成された定電圧で動作する昇圧回路及び負電圧発生回路を含み、

かかる昇圧回路及び負電圧発生回路で形成された電圧は、液晶駆動のためのゲート駆動電圧、画像データに対応したソース駆動電圧及び液晶共通電極駆動電圧として出力されるものであることを特徴とする半導体集積回路装置。